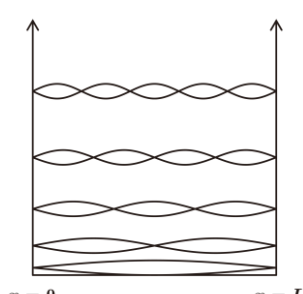
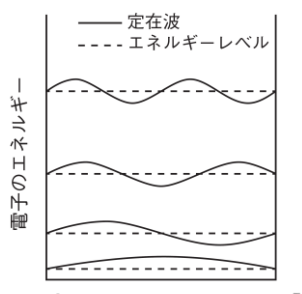
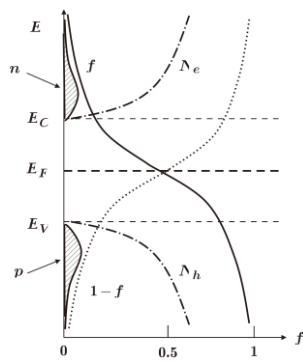
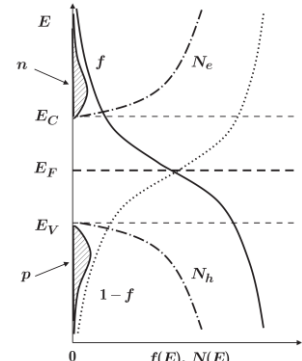


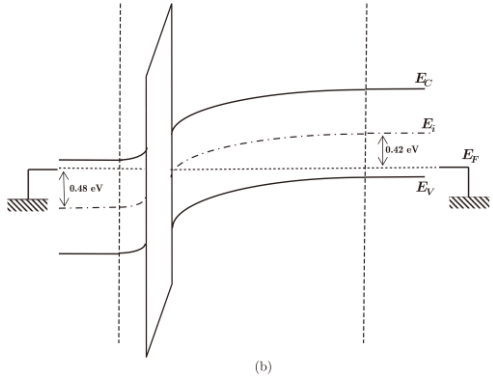
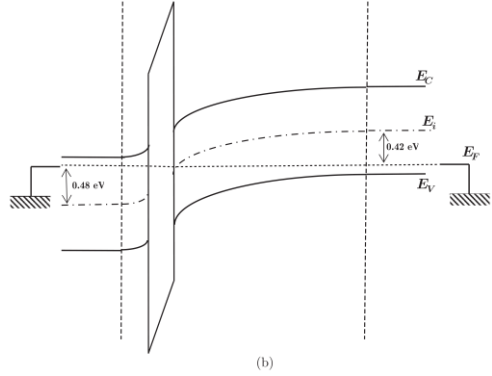
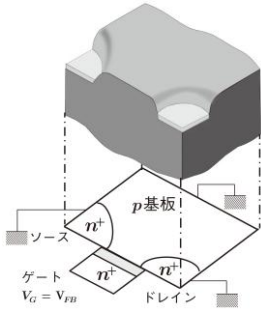
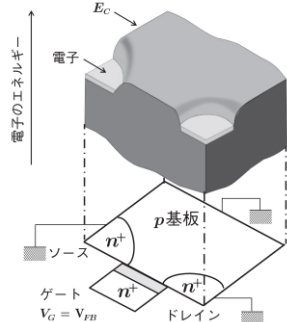
『増補版 はじめての半導体デバイス』 正誤表
著者名 執行 直之

初版増補第3刷

No	頁	行	誤	正
1	12	3	のみとなる.	のみとなる ⁵ .
2	12	側注 の追 加		5 シュレーディンガーの波動方程式の解を 波動関数 (wave function) という. 図 2.5 の場合, 波動関数は定在波となる ¹⁾ 6. また, 波動関数を Ψ として, この 2 乗 $ \Psi ^2$ が電子の 存在確率 を表す. たとえば, 図 2.5 で一番低いエネルギーの波動関数は, 電子が箱型ポテンシャルの中央部に存在する確率が高いことを示している.
3	12	7	離散的な値となる.	離散的な値となる. この電子が取りうるエネルギーを エネルギーレベル (エネルギー準位, energy level) という.
4	12	図 2.5	 <p>図 2.5 箱型のポテンシャルと定在波.</p>	 <p>図 2.5 箱型ポテンシャルでの定在波とエネルギーレベル.</p>
5	12	側注 5		(削除)
6	12	側注	8 1) は参考文献の番号を意味する.	6 1) は参考文献の番号を意味する.
7	12	側注	6 $E=0$ のレベルを	7 $E=0$ のレベルを
8	12	側注	7 3 個目の電子を入れるとき, 量子力学の制約がある. それは, “パウリの排他律 (Pauli exclusion principle)” ^{1) 8} である.	8 3 個目の電子を入れるとき, 量子力学の制約がある. それは, “パウリの排他律 (Pauli exclusion principle)” ²⁾ である.
9	12	9	11 個の電子がある ⁵ . 図 2.6 は, ポテンシャル井戸 ⁶ と 11 個の電子のとびとびの離散的な エネルギーレベル (energy level) であ	11 個の電子がある (原子核には, 11 個の電子分の正電荷がある). 図 2.6 は, ポテンシャル井戸 ⁷ と 11 個の電子のとびとびの離散

			る。電子が存在できるとびとびのエネルギーをレベル（準位）という。Na の原子核の周りに、11 個の電子を置いてみよう。電子のエネルギーの低いレベルから電子が入っていく。最も低いレベルには2 個入る。3 個目の電子は2 番目のエネルギーレベルに入る ⁷ 。	的なエネルギーレベルである。Na の原子核の周りに、11 個の電子を置いてみよう。電子のエネルギーの低いレベルから電子が入っていく。最も低いレベルには2 個入る。3 個目の電子は2 番目のエネルギーレベルに入る ⁸ 。
10	13	下から 1	エネルギーバンドである ²⁾ 。	エネルギーバンドである ³⁾ 。
11	18	下から 5	そこを占有する確率が分かればよい。つまり、電子およびホールが入れる座席の数とその席が埋まる確率	その占有率が分かればよい。つまり、電子およびホールが入れる座席の数とその席が埋まる占有率
12	18	下から 2	占有する確率	占有率
13	19	図 2.16		
14	19	下から 7	この式は一般的に成り立ち、i タイプのみならず n および p タイプ半導体の電子とホールの密度 (n と p) を表す。	(削除)
15	19	側注 20	集中したと考えたときのものである。	集中したと考えたときのものである。
16	21	下から 7	ドーピングした不純物の As により	As は周囲の Si と異なるエネルギーレベルを持ち
17	43	下から 10	フォノン	フォノン
18	44	下から 4	となる。同様のことがホールでも成り立つ。	となる (詳細は本項で後述)。同様のことがホールでも成り立つ。
19	48	下から 3	中性領域の抵抗による電位降下が顕著になる。中性領域は、電位降下のためにエネルギーバンド図が傾いている。	中性領域の抵抗による電位降下でエネルギーバンド図が傾いている (3.4.3 参照)。
20	50	図 3.14 キャプ	図 3.14 拡散長の説明。(a) 光の照射と(b) 電子分布。	図 3.14 電子の拡散長 L_e の説明。(a) 光の照射と(b) 電子分布。

		シオン		
21	50	2	発生した少数キャリアの電子は Si 内に拡散していく ²⁰ 。(b)は Si 基板内における定常状態での電子の分布である。電子はホールと再結合して、	発生した少数キャリアの電子は、Si 内で 多数キャリアのホールと再結合しながら 拡散していく ²⁰ 。(b)は Si 基板内における定常状態での電子の分布である。電子はホールと再結合しながら 拡散し 、
22	51	下から 10	図 3.15 では、 $V < 0.4V$ の低注入状態では m は 2 となっている。中注入状態で m は 1、そして高注入状態では m は 2 以上になる。この理由について説明しよう。	図 3.15 で、 $V < 0.4V$ の低注入状態では 電流の増加が鈍く 、 m は 2 となっている。中注入状態では 電流が増加し 、 m は 1、そして高注入状態では 電流の増加が鈍り 、 m は 2 以上になる。この理由について説明しよう。
23	53	下から 6	3.4.1 項で述べたように濃度勾配	3.4.1 項で述べたように ホールと再結合しながら 濃度勾配
24	67	側注 8	拡散長 L_h は $0.4 \mu\text{m}$ である。	拡散長 L_h は $0.5 \mu\text{m}$ である。
25	79	下から 6	どこの電荷が反応するかである。	どこの電荷が 応答 するかである。
26	84	下から 1	追従できなくなる。	追従できなくなる ¹² 。
27	84	側注の追加		12 生成・再結合にかかる時間は、ライフタイム τ が関係する。 τ の具体的な値は図 A8.1 に示した。たとえば、不純物濃度が 10^{16} cm^{-3} での τ は 0.1 ms 程度であり、10 kHz 以上の交流信号に生成・再結合が追従できなくなる。
28	85	4	容量 C_0 となる ¹² 。	容量 C_0 となる ¹³ 。
29	85	側注	12 ソースとドレインが	13 ソースとドレインが
30	87	4	10^{17} cm^{-3} とする ¹³ 。	10^{17} cm^{-3} とする ¹⁴ 。
31	87	側注	13 実際のゲートは	14 実際のゲートは
32	87	下から 4	応答できる周波数の上限を概算せよ ¹⁴ 。	応答できる周波数の上限を概算せよ ¹⁵ 。
33	87	側注	14 正確な値は測定	15 正確な値は測定
34	87	下から 2	電界を V/L で電圧 V は $0.1V$	電界を V_D/L とし、 ドレイン 電圧 V_D は $0.1V$

35	88	<p>図 5.14</p>		
36	89	3	<p>である¹⁵。速度 v は μE で、電界 E は V/L である。</p>	<p>である¹⁶。速度 v は μE で、電界 E は V_D/L である。</p>
37	89	側注	<p>15 τ について、</p>	<p>16 τ について、</p>
38	89	4	<p>$2\mu V$</p>	<p>$2\mu V_D$</p>
39	91	ねらい	<p>これまで学んだ知識 (pn 接合ダイオード, バイポーラトランジスタ, MOS キャパシタ) を用いて</p>	<p>これまで学んだ知識を用いて</p>
40	92	2	<p>ポテンシャル分布</p>	<p>ポテンシャルエネルギー分布</p>
41	92	<p>下から 13</p>	<p>6.1.2 ポテンシャル分布と電子の流れ 図 6.2 は, Si 部分の電子に対するポテンシャル分布を 3 次元的に表示したものである。 V_D を 0V にして, V_G に V_{FB} を印加したものである (ソースと基板の電位は 0V)。この電子に対するポテンシャル分布</p>	<p>6.1.2 ポテンシャルエネルギー分布と電子の流れ 図 6.2 は, Si 部分の電子のポテンシャルエネルギー分布である。伝導帯の下端 E_C を示した。また, 電子を模式的に表してある。 V_D を 0V にして, V_G に V_{FB} を印加したものである (ソースと基板の電位は 0V)。この E_C の分布</p>
42	92	<p>下から 3</p>	<p>ポテンシャル分布を示す。</p>	<p>E_C の分布を示す。</p>
43	93	<p>図 6.2</p>	 <p>図 6.2 電子に対するポテンシャル分布 ($V_G = V_{FB}, V_D = 0$ V)。</p>	 <p>図 6.2 電子のポテンシャルエネルギー分布 ($V_G = V_{FB}, V_D = 0$ V)。</p>

44	93	図 6.3	 <p>図 6.3 電子に対するポテンシャル分布と電子の流れ.</p>	 <p>図 6.3 電子のポテンシャルエネルギー分布と電子の流れ.</p>																																																																																				
45	94	下から 2	チャンネルが一様に形成されている.	チャンネルが一様に形成されている (図 6.3(a) 参照).																																																																																				
46	95	5	滝のように流れ落ちている ⁶ .	滝のように流れ落ちている ⁶ (図 6.3(b) 参照).																																																																																				
47	95	側注 5	図 6.3(b)	図 6.3(b)																																																																																				
48	96	7	チャンネルの電子が反応する容量である.	チャンネルの電子が応答する容量である.																																																																																				
49	107	下から 6	ソース側の電荷 Q_S とキャリア速度 v_S	電荷 Q とキャリア速度 v																																																																																				
50	112	側注 3	ムーアの法則といわれる.	ムーアの法則といわれる (1975 年に, 2 年で 2 倍と修正).																																																																																				
51	113	表 7.1	<table border="1" data-bbox="422 1041 906 1377"> <thead> <tr> <th>項目</th> <th>関係式</th> <th>スケーリング</th> </tr> </thead> <tbody> <tr> <td>デバイス寸法 (L, W, t_{ox} など)</td> <td></td> <td>$1/k$</td> </tr> <tr> <td>不純物濃度 N</td> <td></td> <td>k</td> </tr> <tr> <td>電圧 V</td> <td></td> <td>$1/k$</td> </tr> <tr> <td>チップの素子数 n</td> <td>$1/(LW)$</td> <td>k^2</td> </tr> <tr> <td>単位面積当たりの容量 C_0</td> <td>$1/t_{ox}$</td> <td>k</td> </tr> <tr> <td>容量 C</td> <td>C_0LW</td> <td>$1/k$</td> </tr> <tr> <td>単位長当たりのチャンネル電荷 Q_S</td> <td>$WC_0(V_G - V_{th})$</td> <td>$1/k$</td> </tr> <tr> <td>キャリア速度 v_S</td> <td>μE_S</td> <td>1</td> </tr> <tr> <td>電流 I</td> <td>$Q_S \cdot v_S$</td> <td>$1/k$</td> </tr> <tr> <td>遅延時間 τ_{device}</td> <td>CV/I</td> <td>$1/k$</td> </tr> <tr> <td>素子の動作速度</td> <td>$1/\tau_{device}$</td> <td>k</td> </tr> <tr> <td>素子当たりの消費電力 P_{device}</td> <td>$I \cdot V$</td> <td>$1/k^2$</td> </tr> <tr> <td>チップでの消費電力 P_{chip}</td> <td>$n \cdot P_{device}$</td> <td>1</td> </tr> </tbody> </table>	項目	関係式	スケーリング	デバイス寸法 (L, W, t_{ox} など)		$1/k$	不純物濃度 N		k	電圧 V		$1/k$	チップの素子数 n	$1/(LW)$	k^2	単位面積当たりの容量 C_0	$1/t_{ox}$	k	容量 C	C_0LW	$1/k$	単位長当たりのチャンネル電荷 Q_S	$WC_0(V_G - V_{th})$	$1/k$	キャリア速度 v_S	μE_S	1	電流 I	$Q_S \cdot v_S$	$1/k$	遅延時間 τ_{device}	CV/I	$1/k$	素子の動作速度	$1/\tau_{device}$	k	素子当たりの消費電力 P_{device}	$I \cdot V$	$1/k^2$	チップでの消費電力 P_{chip}	$n \cdot P_{device}$	1	<table border="1" data-bbox="949 1041 1433 1377"> <thead> <tr> <th>項目</th> <th>関係式</th> <th>スケーリング</th> </tr> </thead> <tbody> <tr> <td>デバイス寸法 (L, W, t_{ox} など)</td> <td></td> <td>$1/k$</td> </tr> <tr> <td>不純物濃度 N</td> <td></td> <td>k</td> </tr> <tr> <td>電圧 V</td> <td></td> <td>$1/k$</td> </tr> <tr> <td>チップの素子数 n</td> <td>$1/(LW)$</td> <td>k^2</td> </tr> <tr> <td>単位面積当たりの容量 C_0</td> <td>$1/t_{ox}$</td> <td>k</td> </tr> <tr> <td>容量 C</td> <td>C_0LW</td> <td>$1/k$</td> </tr> <tr> <td>単位長当たりのチャンネル電荷 Q_{ave}</td> <td>$WC_0(V_G - V_D/2 - V_{th})$</td> <td>$1/k$</td> </tr> <tr> <td>キャリア速度 v_{ave}</td> <td>μE_{ave}</td> <td>1</td> </tr> <tr> <td>電流 I</td> <td>$Q_{ave} \cdot v_{ave}$</td> <td>$1/k$</td> </tr> <tr> <td>遅延時間 τ_{device}</td> <td>CV/I</td> <td>$1/k$</td> </tr> <tr> <td>素子の動作速度</td> <td>$1/\tau_{device}$</td> <td>k</td> </tr> <tr> <td>素子当たりの消費電力 P_{device}</td> <td>$I \cdot V$</td> <td>$1/k^2$</td> </tr> <tr> <td>チップでの消費電力 P_{chip}</td> <td>$n \cdot P_{device}$</td> <td>1</td> </tr> </tbody> </table>	項目	関係式	スケーリング	デバイス寸法 (L, W, t_{ox} など)		$1/k$	不純物濃度 N		k	電圧 V		$1/k$	チップの素子数 n	$1/(LW)$	k^2	単位面積当たりの容量 C_0	$1/t_{ox}$	k	容量 C	C_0LW	$1/k$	単位長当たりのチャンネル電荷 Q_{ave}	$WC_0(V_G - V_D/2 - V_{th})$	$1/k$	キャリア速度 v_{ave}	μE_{ave}	1	電流 I	$Q_{ave} \cdot v_{ave}$	$1/k$	遅延時間 τ_{device}	CV/I	$1/k$	素子の動作速度	$1/\tau_{device}$	k	素子当たりの消費電力 P_{device}	$I \cdot V$	$1/k^2$	チップでの消費電力 P_{chip}	$n \cdot P_{device}$	1
項目	関係式	スケーリング																																																																																						
デバイス寸法 (L, W, t_{ox} など)		$1/k$																																																																																						
不純物濃度 N		k																																																																																						
電圧 V		$1/k$																																																																																						
チップの素子数 n	$1/(LW)$	k^2																																																																																						
単位面積当たりの容量 C_0	$1/t_{ox}$	k																																																																																						
容量 C	C_0LW	$1/k$																																																																																						
単位長当たりのチャンネル電荷 Q_S	$WC_0(V_G - V_{th})$	$1/k$																																																																																						
キャリア速度 v_S	μE_S	1																																																																																						
電流 I	$Q_S \cdot v_S$	$1/k$																																																																																						
遅延時間 τ_{device}	CV/I	$1/k$																																																																																						
素子の動作速度	$1/\tau_{device}$	k																																																																																						
素子当たりの消費電力 P_{device}	$I \cdot V$	$1/k^2$																																																																																						
チップでの消費電力 P_{chip}	$n \cdot P_{device}$	1																																																																																						
項目	関係式	スケーリング																																																																																						
デバイス寸法 (L, W, t_{ox} など)		$1/k$																																																																																						
不純物濃度 N		k																																																																																						
電圧 V		$1/k$																																																																																						
チップの素子数 n	$1/(LW)$	k^2																																																																																						
単位面積当たりの容量 C_0	$1/t_{ox}$	k																																																																																						
容量 C	C_0LW	$1/k$																																																																																						
単位長当たりのチャンネル電荷 Q_{ave}	$WC_0(V_G - V_D/2 - V_{th})$	$1/k$																																																																																						
キャリア速度 v_{ave}	μE_{ave}	1																																																																																						
電流 I	$Q_{ave} \cdot v_{ave}$	$1/k$																																																																																						
遅延時間 τ_{device}	CV/I	$1/k$																																																																																						
素子の動作速度	$1/\tau_{device}$	k																																																																																						
素子当たりの消費電力 P_{device}	$I \cdot V$	$1/k^2$																																																																																						
チップでの消費電力 P_{chip}	$n \cdot P_{device}$	1																																																																																						
52	113	下から 6	電流 I は, 6.2.2 項で述べたように $Q_S \cdot v_S$ である. 電荷 Q_S は $1/k$ に減る. これは, WC_0 がスケーリングしても変わらず, $(V_G - V_{th})$ が $1/k$ に減少するためである. キャリア速度 v_S	電流 I は $Q_{ave} \cdot v_{ave}$ とする (6.2.3 項参照). 電荷 Q_{ave} は $1/k$ に減る. これは, WC_0 がスケーリングしても変わらず, $(V_G - V_D/2 - V_{th})$ が $1/k$ に減少するためである. キャリア速度 v_{ave}																																																																																				
53	116	下から 14	したがって, h_{FE} が	したがって, 電流増幅率 h_{FE} が																																																																																				
54	117	側注	10 RC	10 RC																																																																																				
55	127	7	単位長当たりのチャンネル電荷 Q_S は, $WC_0(V_G - V_{th})$ で与えられる. 容量 WC_0 がスケーリングに不変で, 一方 $V_G - V_{th}$ は $1/k$ になる. したがって, Q_S は $1/k$ に小さくなる.	単位長当たりのチャンネル電荷 Q_{ave} は, $WC_0(V_G - V_D/2 - V_{th})$ で与えられる. 容量 WC_0 がスケーリングに不変で, 一方 $V_G - V_D/2 - V_{th}$ は $1/k$ になる. したがって, Q_{ave} は $1/k$ に小さくなる.																																																																																				

56	131	3	状態密度	状態密度
57	131	下から 9	有効質量	有効質量
58	137	下から 10	形成される.	形成される ⁴⁵⁾ .
59	137	側注 6	6 pn 積を基にする電気特性で異なる.	6 pn 積を基にする電気特性で異なる ⁴⁵⁾ .
60	139	図 A10.4	図 A10.4 (a) 正イオンと (b) 負イオンに対する電子の不純物散乱の説明図.	図 A10.4 (a) 正イオンと (b) 負イオンに対する電子の不純物散乱の説明図. イオン電荷の正負による引力と斥力の違いを考慮しない場合.
61	139	8	1 次的には,	この図に示すように, 1 次的には
62	140	側注 9	は $2\phi_b$ になる.	は $2\phi_b$ になる. なお, V_G が V_{th} 以上になっても ϕ_s は $2\phi_b$ でほとんど変わらず, 空乏層もこれ以上延びない. この理由は, V_G の増加に n_s が対応しているためである (図 5.10 参照). つまり, 酸化膜/ p 基板界面のエネルギーバンドがわずかに下がる (ϕ_s がわずかに増加) だけで, n_s が指数関数的に増加するからである.
63	142	側注 16	v_{inj} は熱速度 v_{th} となる ⁴⁰⁾ .	v_{inj} は伝導帯中の熱速度 v_{th} ^{41),17)} の半分となる ^{40),42)} (チャネルへ向かう速度成分だけを平均するため).
64	142	側注 の追 加		17 室温の Si で, v_{th} と v_{sat} は約 10^7 cm/s と同程度の値である. しかし, この 2 つは温度依存性も違い, 別のものである ⁴²⁾ . v_{th} は, 温度が高くなって熱エネルギーが増えると速くなる. つまり, v_{th} は正の温度依存性である. 一方, v_{sat} の実測結果は負の温度依存性である ⁴⁴⁾ .
65	144		[1] ファインマン, R. P., 他 (砂川訳) : 『ファインマン物理学V 量子力学』, p. 69, 岩波書店(1979). [2] シャイヴ, J. N. : 『半導体工学』, p. 217, 岩波書店(1961). [3] キッテル, C. (宇野他訳) : 『固体物理学入門上』, pp. 99-140, 丸善(1978).	[1] キッテル, C. (宇野 他 訳) : 『固体物理学入門 上 第 8 版』, p. 142, 丸善 (2005). [2] ファインマン, R. P., 他 (砂川訳) : 『ファインマン物理学V 量子力学』, p. 69, 岩波書店(1979). [3] シャイヴ, J. N. : 『半導体工学』, p. 217, 岩波書店(1961).
66	146		[41] Lundstrom, M. : “Elementary scattering theory of the Si MOSFET,”	[41] del Alamo, J. A. : in Ref. 17, pp. 132-133.

		<p><i>Electron Device Lett.</i>, Vol. 18, pp. 361-363 (1997).</p> <p>[42] Taur, Y., Ning, T. N. : in Ref. 12, pp. 230-236.</p>	<p>[42] Lundstrom, M. : “Elementary scattering theory of the Si MOSFET,” <i>Electron Device Lett.</i>, Vol. 18, pp. 361-363 (1997).</p> <p>[43] Taur, Y., Ning, T. N. : in Ref. 12, pp. 230-236.</p> <p>[44] 高木信一: 『Si の飽和ドリフト速度は?』, 応用物理学会誌, Vol. 65, pp. 1278-1279 (1996).</p> <p>[45] Lee, D. S., Fossum, J. G. : “Energy-band distortion in highly doped silicon, ” <i>IEEE Trans. Electron Devices</i>, ED-30, pp.626-634 (1983).</p>
67	147	音子(phonon) 25	音子(phonon) 43
68	148	真性キャリア密度 (intrinsic carrier density) 19	真性キャリア密度 (intrinsic carrier density) 19, 24
69	148	存在確率(existence probability) 11	存在確率(existence probability) 11, 12
70	148	熱平衡(thermal equilibrium) 24	熱速度(thermal velocity) 142 熱平衡(thermal equilibrium) 24
71	148	波動方程式(wave equation) 11	波動関数(wave function) 12 波動方程式(wave equation) 11
72	149	有効状態密度(effective density of states) 19, 129, 132	有効状態密度(effective density of states) 19, 132