

「はじめての論理回路」正誤表

2018.11.19
飯田全広 著
近代科学社

初版 1 刷

| 誤 | 正 |
|---|---|
| <p>P.ii 謝辞 (5 行目) <u>ありがとうございました.</u></p> <p>P.iv 目次 8 章 組合せ回路の最適化設計 3 —多段論理最適化—</p> <p>P.13 図 1.9 符号絶対値表現 (負の数) の計算 ① $0100_2(4) + \underline{1101}_2(-3)$</p> <p>P.55 5 章 論理関数の表現 2 —ゲートを用いた論理表現— [この章の項目] …, シェファー, <u>ピアース</u>, 多入力論理ゲート</p> <p>P.91 7 章 演習問題解答 表 7.18 主項—最小項表 6, <u>4</u>(8) *q</p> <p>P.92 7 章 演習問題解答 表 7.26 主項—最小項表 3, 7, 19, 23(4, 16) ◦ ◦ (◦が一つ足りない) (下から 4 行目) *<u>q</u>, *u, *w は必須主項である. これらと他の…</p> <p>P.95 8 章 組合せ回路の最適化設計 3 —多段論理最適化— [この章の項目] 多段論理最適化, ファクタリング, …</p> <p>P.98 定義 21 3. 出力ノートは, <u>回路</u>の出力を表し, …</p> <p>P.101 (11 行目) まずは, ファクタリングせずに共通の積項を<u>共通化</u>してみる.</p> <p>P.106 [8 章のまとめ] (最終行) 次章からは具体的な…について学びま<u>した</u>.</p> | <p>P.ii 謝辞 (5 行目) <u>ありがとう</u>ございました.</p> <p>P.iv 目次 8 章 組合せ回路の最適化設計 3 —多段論理最<u>小</u>化—</p> <p>P.13 図 1.9 符号絶対値表現 (負の数) の計算 ① $0100_2(4) + \underline{1011}_2(-3)$</p> <p>P.55 5 章 論理関数の表現 2 —ゲートを用いた論理表現— [この章の項目] …, シェファー, <u>パース</u>, 多入力論理ゲート</p> <p>P.91 7 章 演習問題解答 表 7.18 主項—最小項表 6, <u>14</u>(8) *q</p> <p>P.92 7 章 演習問題解答 表 7.26 主項—最小項表 3, 7, 19, 23(4, 16) ◦ ◦ ◦ (<u>最小項 19 の欄に ◦ を追加</u>) (下から 4 行目) *<u>p</u>, *u, *w は必須主項である. これらと他の…</p> <p>P.95 8 章 組合せ回路の最適化設計 3 —多段論理最<u>小</u>化— [この章の項目] 多段論理最<u>小</u>化, ファクタリング, …</p> <p>P.98 定義 21 3. 出力ノートは回路の出力を表し, …</p> <p>P.101 (11 行目) まずは, ファクタリングせずに共通の積項<u>で括り出</u>してみる.</p> <p>P.106 [8 章のまとめ] (最終行) 次章からは具体的な…について学びま<u>す</u>.</p> |

P.114 図 9.10 偶数 (even) パリティの生成と検査

偶数パリティ・チェッカの真理値表

P.114 図 9.11 奇数 (odd) パリティの生成と検査

3bit 奇数パリティ・チェッカの真理値表

P.122 図 10.2 全加算器 (FA) の回路構成

$$C = XY + XI + YI$$

P.124 (側注) ▶ [図 10.6]

最下位桁は、桁上り入力が必要ことないから HA を…

P.125 (6 行目)

たとえば、四桁の 2 進数 $(0111)_2=7$ と…

P.127 [10 章のまとめ]

(最終行) …から 10 章を復習して望んでください。

P.141 問 11.1 回答

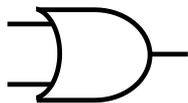
(S_4 から S_0 への状態遷移) $I=1 / O=1$

(S_4 から S_3 への状態遷移) $I=0 / O=0$

P.145 (側注) ▶ [JK フリップフロップ]

(11 行目) …に付き物の都市伝説」2017 年 6 月現在…

P.148 図 12.7 SR ラッチの導出 (その 2) (a)



P.200 (囲み内のソースコード)

```
module count ( D, E, RSTL, CLK );
```

P.114 図 9.10 偶数 (even) パリティの生成と検査

2bit 偶数パリティ・チェッカ回路

P.114 図 9.11 奇数 (odd) パリティの生成と検査

2bit 奇数パリティ・チェッカ回路

P.122 図 10.2 全加算器 (FA) の回路構成

$$CO = XY + XI + YI$$

P.124 (側注) ▶ [図 10.6]

最下位桁は、桁上り入力が必要ないことから HA を…

P.125 (6 行目)

たとえば、4 桁の 2 進数 $(0111)_2=7$ と…

P.127 [10 章のまとめ]

(最終行) …から 10 章を復習して臨んでください。

P.141 問 11.1 回答

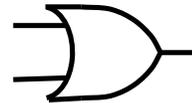
(S_4 から S_0 への状態遷移) $I=0 / O=0$

(S_4 から S_3 への状態遷移) $I=1 / O=1$

P.145 (側注) ▶ [JK フリップフロップ]

(11 行目) …に付き物の都市伝説」(2017 年 6 月現在…

P.148 図 12.7 SR ラッチの導出 (その 2) (a)



P.200 (囲み内のソースコード)

```
module state_machine ( D, E, RSTL, CLK );
```