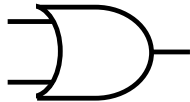
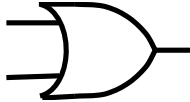


誤	正
<p>P.iv 目次</p> <p>8章 組合せ回路の最適化設計3 —多段論理最適化—</p> <p>P.55 5章 論理関数の表現2 —ゲートを用いた論理表現— [この章の項目] …, シェフアー, <u>ピアース</u>, 多入力論理ゲート</p> <p>P95 8章 組合せ回路の最適化設計3 —多段論理最適化— [この章の項目] 多段論理最適化, ファクタリング, …</p> <p>P.98 定義 21</p> <p>3. 出力ノートは, <u>回路</u>の出力を表し, …</p> <p>P.101 11行目</p> <p>まずは, <u>ファクタリングせずに共通の積項を共通化してみる.</u></p> <p>P.114 図 9.10 偶数 (even) パリティの生成と検査 <u>偶数</u>パリティ・チェックの<u>真理値表</u></p> <p>P.114 図 9.11 奇数 (odd) パリティの生成と検査 <u>3bit 奇数</u>パリティ・チェックの<u>真理値表</u></p> <p>P.122 図 10.2 全加算器 (FA) の回路構成 <u>$C = XY + XI + YI$</u></p> <p>P.148 図 12.7 SR ラッチの導出 (その 2) (a)</p>  <p>P.200 囲み内のソースコード <code>module <u>count</u> (D, E, RSTL, CLK);</code></p>	<p>P.iv 目次</p> <p>8章 組合せ回路の最適化設計3 —多段論理最小化—</p> <p>P.55 5章 論理関数の表現2 —ゲートを用いた論理表現— [この章の項目] …, シェフアー, <u>パース</u>, 多入力論理ゲート</p> <p>P95 8章 組合せ回路の最適化設計3 —多段論理最小化— [この章の項目] 多段論理最小化, ファクタリング, …</p> <p>P.98 定義 21</p> <p>3. 出力ノートは回路の出力を表し, …</p> <p>P.101 11行目</p> <p>まずは, <u>ファクタリングせずに共通の積項で括り出してみる.</u></p> <p>P.114 図 9.10 偶数 (even) パリティの生成と検査 <u>2bit 偶数</u>パリティ・チェック<u>回路</u></p> <p>P.114 図 9.11 奇数 (odd) パリティの生成と検査 <u>2bit 奇数</u>パリティ・チェック<u>回路</u></p> <p>P.122 図 10.2 全加算器 (FA) の回路構成 <u>$CQ = XY + XI + YI$</u></p> <p>P.148 図 12.7 SR ラッチの導出 (その 2) (a)</p>  <p>P.200 囲み内のソースコード <code>module <u>state machine</u> (D, E, RSTL, CLK);</code></p>